

PAT-NO: JP406139302A  
DOCUMENT-IDENTIFIER: JP 06139302 A  
TITLE: LOGIC VERIFYING SYSTEM  
PUBN-DATE: May 20, 1994

## INVENTOR-INFORMATION:

NAME	COUNTRY
TOBINAGA, SATOSHI	

## ASSIGNEE-INFORMATION:

NAME	COUNTRY
HOKURIKU NIPPON DENKI SOFTWARE KKN/A	

APPL-NO: JP04289731  
APPL-DATE: October 28, 1992

INT-CL (IPC): G06F015/60 , G01R031/28 , G06F011/26

## ABSTRACT:

PURPOSE: To efficiently execute simulation of a circuit to easily verify the equivalence of the circuit at the time of logic verification of the circuit described in two different levels.

CONSTITUTION: This system consists of a model generating part 21 which generates the simulation model where circuits in two levels exist together at the time of logic verification of circuits 25 and 26 described in two different levels and a common external input signal connected to input signals corresponding to two different levels and a logic element for comparison between state values of corresponding result comparison signals are automatically generated in accordance with files 27 and 28 where correspondence between input signals of two circuits and result comparison signals is described, a state value setting part 22 which sets the state value to the external input signal, a signal designating part 23 which designates a simulation result output signal, and a simulation part 24 which simulates the model where circuits in two levels exist together.

COPYRIGHT: (C)1994, JPO&Japio

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-139302

(43)公開日 平成6年(1994)5月20日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/60	3 6 0 D	7922-5L		
G 0 1 R 31/28				
G 0 6 F 11/26	3 1 0	8323-5B		
		6912-2G	G 0 1 R 31/ 28	F

審査請求 未請求 請求項の数2(全 7 頁)

(21)出願番号 特願平4-289731

(22)出願日 平成4年(1992)10月28日

(71)出願人 000242666

北陸日本電気ソフトウェア株式会社  
石川県石川郡鶴来町安養寺1番地

(72)発明者 飛永 聡

石川県石川郡鶴来町安養寺1番地北陸日本  
電気ソフトウェア株式会社内

(74)代理人 弁理士 京本 直樹 (外2名)

## (54)【発明の名称】 論理検証方式

## (57)【要約】

【目的】異なる2レベルで記述された回路の論理検証を行う場合に、効率良く回路のシミュレーションが実行でき、回路の等価性の検証を容易に行える。

【構成】異なる2レベルで記述された回路の論理検証を行う場合、2つのレベルの回路が混在し、2つの回路の入力信号と結果比較信号の対応を記述したファイル27、28より、異なる2つのレベルの対応する入力信号へ接続する共通の外部入力信号と、対応する結果比較信号の状態値を比較する論理素子を自動生成したシミュレーションモデルを作成するモデル作成部21と、外部入力信号に状態値を設定する状態値設定部22と、シミュレーション結果を出力する信号を指定する信号指定部23と、2つのレベルの回路が混在するモデルをシミュレーションするシミュレーション部24より構成される。

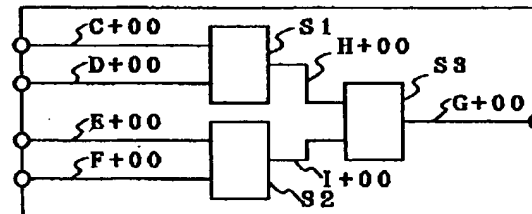
```

INPUT C, D, E, F;
OUTPUT G;

H = C .OR. D;
I = E .OR. F;
G = H .AND. I;

```

(a)



(b)

1

## 【特許請求の範囲】

【請求項1】 異なる2つのレベルで記述された回路情報より2つのレベルの回路が混在し同一の外部入力信号から入力信号対応ファイルの各々のレベルの対応する入力信号へ接続する様なシミュレーションモデルを作成する第1のモデル作成手段と、前記第1のモデル作成手段で作成した異なる2つのレベルの回路が混在するシミュレーションモデルの外部入力端子にテストボタンを設定する状態値設定手段と、シミュレーション結果を出力する信号を指定する信号指定手段と、異なる2つのレベルが混在したシミュレーションモデルをシミュレーションするシミュレーション手段と、出力された信号のシミュレーション結果を比較信号対応ファイル中の対応する信号どうして比較する結果比較手段とを含むことを特徴とする論理検証方式。

【請求項2】 請求項1記載の第1のモデル作成手段において比較信号対応ファイルより各々のレベルの対応する出力信号の一致を比較する論理回路を追加しその論理回路の出力を外部出力信号とするシミュレーションモデルを作成する第2のモデル作成手段と、請求項1記載の状態値設定手段と、シミュレーション手段と、信号指定手段とを含むことを特徴とする論理検証方式。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は論理検証方式に関する。

【0002】

【従来の技術】従来の論理検証方式は、異なる2レベルの回路の等価性を検証する場合、各々のレベルの回路のシミュレーションを行う2つのシミュレータを使用して、回路情報より各々のシミュレータが扱えるシミュレーションモデルを作成していた。そして、2つのシミュレータに同一のテストボタンを与えて2つのシミュレーションを行い、その後2つのシミュレーション結果を比較して回路の等価性を検証していた。

【0003】

【発明が解決しようとする課題】しかしながら、この上述した従来の論理検証方式は、2つのレベルの回路のシミュレータを使用しているため、2つのシミュレーションモデル作成して、2つのシミュレーションを実行しなければならないので、2つのレベルの回路のシミュレーション結果が得られる迄、多大な時間を必要とするとともに2つのレベルの回路のシミュレーション結果を比較しなければならず、等価性を検証するまでも多大な工数を必要とするという欠点があった。

【0004】

【課題を解決するための手段】本発明の第1の論理検証方式は、異なる2つのレベルで記述された回路情報より、2つのレベルの回路が混在し、同一の外部入力信号から、入力信号対応ファイルの各々のレベルの対応する入力信号へ接続する様なシミュレーションモデルを作成

2

するモデル作成部手段と、前記モデル作成手段で作成した異なる2つのレベルの回路が混在するシミュレーションモデルの外部入力端子にテストボタンを設定する状態値設定手段と、シミュレーション結果を出力する信号を指定する信号指定手段と、異なる2つのレベルが混在したシミュレーションモデルをシミュレーションするシミュレーション手段と、出力された信号のシミュレーション結果を比較信号対応ファイル中の対応する信号どうして比較する結果比較手段とを含んで構成される。

10 【0005】また、本発明の第2の論理検証方式は、第1の論理検証方式における第1のモデル作成手段において比較信号対応ファイルより各々のレベルの対応する出力信号の一致を比較する論理回路を追加しその論理回路の出力を外部出力信号とするシミュレーションモデルを作成する第2のモデル作成手段と、状態値設定手段と、シミュレーション手段と、信号指定手段とを含んで構成される。

【0006】

【実施例】次に、本発明の実施例について、図面を参照して詳細に説明する。

20 【0007】図1は本発明の第1の実施例を示すシステム構成図である。レベルAで記述された回路とレベルBで記述された回路について論理検証を行う。

【0008】モデル作成部11では、レベルAの回路記述ファイル16とレベルBの回路記述ファイル17、及びレベルAとレベルBの入力信号対応が記述された入力信号対応ファイル18を入力して入力信号の対の数分の外部入力信号を自動生成する。そして、自動生成された外部入力信号から入力信号対応ファイル18に記述されているレベルAとレベルBの対応する入力信号へ接続し、レベルAとレベルBが混在するシミュレーションモデルを作成する。

30 【0009】状態値設定部12では、モデル作成部11で作成したシミュレーションモデル19を入力し、テストボタンファイル110をシミュレーションモデル19の外部入力信号に設定する。

【0010】信号指定部13では、比較信号対応ファイル111に記述されたレベルAの比較信号とレベルBの比較信号のシミュレーション結果を出力するようにシミュレーションモデル19に設定する。

40 【0011】シミュレーション部14では、シミュレーションモデル19を状態値設定部12で設定されたテストボタンでシミュレーションを行い、1ボタン分のシミュレーションが終了するたびに、信号指定部13で設定された信号の状態値をシミュレーション結果112へ出力し、テストボタンファイル110の全ボタンについてシミュレーションする。比較結果部15では、比較信号対応ファイル111に記述されている比較信号の対応より、シミュレーション結果112の対応する信号のシミュレーション結果を比較して、比較結果ファイル113

50

へ比較結果を出力する。そして、比較結果ファイル113よりレベルAとレベルBの回路が等しいかどうか検証する。

【0012】次に、図1に示す実施例の一適用例を図2を参照しながら説明する。

【0013】図2は論理検証する回路で、(a)がレベルAで記述した回路、(b)がレベルBで記述した回路である。

【0014】図3は図2で使用するレベルAとレベルBの入力信号の対応を記述した入力信号対応ファイルのフ

10   ファイル構成図である。

【0015】図4は図1に示す実施例によるシミュレーションモデルのモデル図で、レベルAとレベルBの回路が混在したシミュレーション回路である。

【0016】図5は図4に示すシミュレーションモデルでのシミュレーション時に使用するテストバタンのボタン図である。

【0017】図6は図2で示すシミュレーション結果を比較するレベルAとレベルBの比較信号の対応を記述した比較信号対応ファイルのファイル構成図である。

【0018】図7は図4に示すシミュレーションモデルにおける信号のシミュレーション結果が出力された比較結果ファイルのファイル構成図である。

【0019】図8は図2に示すレベルAとレベルBの回路のシミュレーション結果を比較した比較結果ファイルのファイル構成図である。

【0020】まず、図2(a)のレベルAの回路記述フ

30   ファイル16と、図2(b)のレベルBの回路記述ファイル17、それに、図3のレベルAとレベルBの入力信号の対応が記述された入力信号対応ファイル18を入力する。

【0021】図3の入力信号対応ファイル18より、レベルAの“C”とレベルBの“C+00”、レベルAの“D”とレベルBの“D+00”、レベルAの“E”とレベルBの“E+00”、レベルAの“F”とレベルBの“F+00”の4つの入力信号対があることを求め、4つの外部入力信号W、X、Y、Zを生成する。そして、外部入力信号WからレベルAの“C”とレベルBの“C+00”、外部入力信号XからレベルAの“D”とレベルBの“D+00”、外部入力信号YからレベルA

40   “E”とレベルBの“E+00”、外部入力信号ZからレベルAの“F”とレベルBの“F+00”へそれぞれ接続したレベルAとレベルBの回路が混在したシミュレーションモデルMを作成する。

【0022】次に、図5のテストボタンを入力して、シミュレーションモデルMの外部入力信号W、X、Y、Zにテストボタンを順次設定する。

【0023】また、図6の比較信号対応ファイル11に記述されたレベルAの“G”とレベルBの“G+00”のシミュレーション結果を出力するように設定する。

【0024】そして、シミュレーションモデルMのシミュレーションを実行して、1ボタン分のシミュレーションが終了する度に、比較対象信号のシミュレーション結果を出力して図7のシミュレーション結果を得る。

【0025】得られた図7のシミュレーション結果を、図6の比較信号対応ファイル111の対応を基に、レベルAの“G+00”の結果を判定して図8の比較結果を求め、レベルAとレベルBの回路の等価性を検証する。

【0026】次に、第2の実施例について、図面を参照しながら詳細に説明する。

【0027】図9は本発明の第2の実施例を示すシステム構成図である。レベルAで記述された回路とレベルBで記述された回路について論理検証を行う。

【0028】モデル作成部21では、レベルAの回路記述ファイル25とレベルBの回路記述ファイル26、及びレベルAとレベルBの入力信号の対応が記述された入力信号対応ファイル27と比較信号の対応が記述された比較信号対応ファイル28を入力する。そして、入力信号対応ファイル27に記述された入力信号の対の数分の外部信号を自動生成し、この自動生成した外部入力信号から入力信号対応ファイル27に記述されているレベルAとレベルBの対応するそれぞれの入力信号へ接続する。また、比較信号対応ファイル28に記述された比較信号の対の数だけ論理素子を自動生成し、比較信号対応ファイル28に記述されたレベルAとレベルBの比較信号を指導生成した論理素子の入力とし、論理素子の出力を外部出力端子とした、レベルAとレベルBが混在するシミュレーションモデルを作成する。状態値設定部22では、モデル作成部21で作成したシミュレーションモデル29を入力し、テストボタンファイル210をシミュレーションモデル29の外部入力信号に設定する。シミュレーション部24では、シミュレーションモデル29を状態値設定部22で設定されたテストボタンファイル210でシミュレーションを行い、1ボタン分のシミュレーションが終了するたびに、信号指定部23で設定された外部出力信号の状態値をシミュレーション結果ファイル211へ出力する。そして、出力されたシミュレーション結果ファイル211より、レベルAとレベルBの回路が等しいかどうか検証する。

40   【0029】次に第2の実施例の一適用例を説明する。

【0030】図2(a)のレベルAで記述した回路と図2(b)のレベルBで記述した回路の論理検証を行う。

【0031】まず、図2(a)のレベルAの回路記述ファイル25と、図2(b)のレベルBの回路記述ファイル26、それに、図3のレベルAとレベルBの入力信号の対応が記述された入力信号対応ファイル27および、図6のレベルAとレベルBの比較信号の対応が記述された比較信号対応ファイル28を入力する。図3の入力信号対応ファイル27より、レベルAの“C”とレベルB

50   の“C+00”、レベルAの“D”とレベルBの“D+

5

00”, レベルAの“E”とレベルBの“E+00”, レベルAの“F”とレベルBの“F+00”の4つの入力信号体があることを求め、4つの外部入力信号W, X, Y, Zを生成する。そして、外部入力信号WからレベルAの“C”とレベルBの“C+00”、外部入力信号XからレベルAの“D”とレベルBの“D+00”、外部入力信号YからレベルAの“E”とレベルBの“E+00”、外部入力信号ZからレベルAの“F”とレベルBの“F+00”へそれぞれ接続する。次に、図6の比較信号対応ファイル28より、レベルAの“G”とレベルBの“G+00”の比較信号対があることを求め、2つの信号を入力とし、2つの入力異なる場合に1を検出できる排他的論理和の論理演算を行う論理素子S4を自動生成し、レベルAの“G”とレベルBの“G+00”を論理素子S4の入力信号に設定する。また、論理素子S4の出力信号を外部出力信号G'へ接続する。このようにして、レベルAとレベルBの回路が混在したシミュレーションモデルMを作成する。

【0032】次に、図5のテストボタンを入力して、シミュレーションモデルMの外部入力信号W, X, Y, Zにテストボタンを順次設定する。

【0033】また、シミュレーションモデルMの外部出力信号G'へシミュレーション結果を出力するように設定する。

【0034】そして、シミュレーションモデルMのシミュレーションを実行して、1ボタン分のシミュレーションが終了する度に、外部出力信号G'のシミュレーション結果を出力し、図11のシミュレーション結果を得る。得られた図11のシミュレーション結果より、レベルAとレベルBの回路の等価性を検証する。

【0035】

【発明の効果】本発明の論理検証方式は、異なった2レベルで記述された回路の論理検証を行う場合に、1度のシミュレーションで異なった2レベルで記述された回路のシミュレーションを同時に行うことができるから、出力されたシミュレーション結果が異なった2レベルで記述された回路の等価性を検証した結果として得ることができるため、2つの回路のシミュレーションに費やされる時間を削減できるとともに2つの回路のシミュレーション結果を比較して回路の等価性を検証する時間も削減できるので、短時間に論理検証が行えるという効果がある。

【図面の簡単な説明】

【図3】

```
C: C+00
D: D+00
E: E+00
F: F+00
```

【図5】

```
1: 0000
2: 0001
3: 0010
4: 0100
5: 1000
```

【図6】

```
G: G+00
```

6

【図1】本発明の第1の実施例を示すシステム構成図

【図2】(a), (b)は図1に示す実施例の一適用例を示す回路構成図

【図3】図2で使用するレベルAとレベルBの入力信号の対応を記述した入力信号対応ファイルのファイル構成図

【図4】図1に示す実施例によるシミュレーションモデルのモデル図

【図5】図4に示すシミュレーションモデルで入力信号に設定するテストボタンのボタン図

【図6】図2で示すレベルAとレベルBの比較信号の対応を記述した比較信号対応ファイルのファイル構成図

【図7】図4に示すシミュレーションモデルにおける比較信号のシミュレーション結果を格納する比較結果ファイルのファイル構成図

【図8】図2に示すレベルAとレベルBの回路をシミュレーション結果を比較した比較結果ファイルのファイル構成図

【図9】本発明の第2の実施例を示すシステム構成図

【図10】図9に示す実施例によるシミュレーションモデルのモデル図

【図11】図10に示すシミュレーションモデルによるシミュレーション結果ファイルのファイル構成図

【符号の説明】

11, 21 モデル作成部

12, 22 状態値設定部

13, 23 信号指定部

14, 24 シミュレーション部

15 結果比較部

30 16, 17, 25, 26 回路記述ファイル

18, 27 入力信号対応ファイル

19, 29 シミュレーションモデル

110, 210 テストボタンファイル

111, 28 比較信号対応ファイル

112, 211 シミュレーション結果ファイル

113 比較結果ファイル

S1~S3 レベル論理素子

C~I, C+00, D+00, E+00, F+00, G+00, H+00, I+00 レベル信号

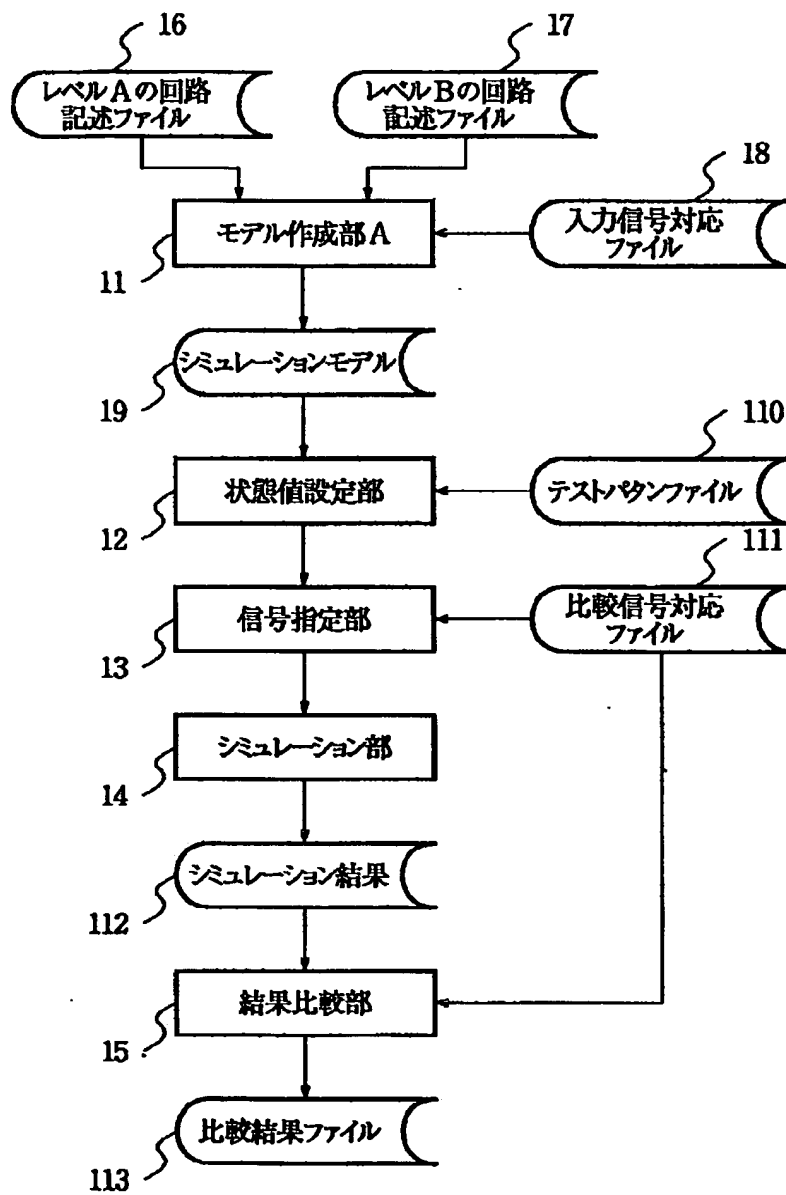
40 M シミュレーションモデル

W~1 外部入力信号

G' 外部出力信号

S4 排他的論理和素子

【図1】



【図7】

【図8】

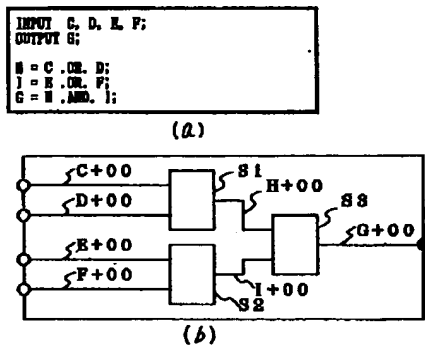
【図11】

	G	G+00
1::	0	0
2::	0	0
3::	0	0
4::	0	0

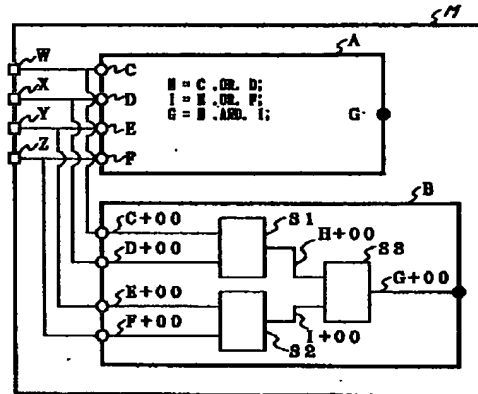
	結果
1::	OK
2::	NG
3::	NG
4::	NG

	G'
1::	0
2::	0
3::	0
4::	1

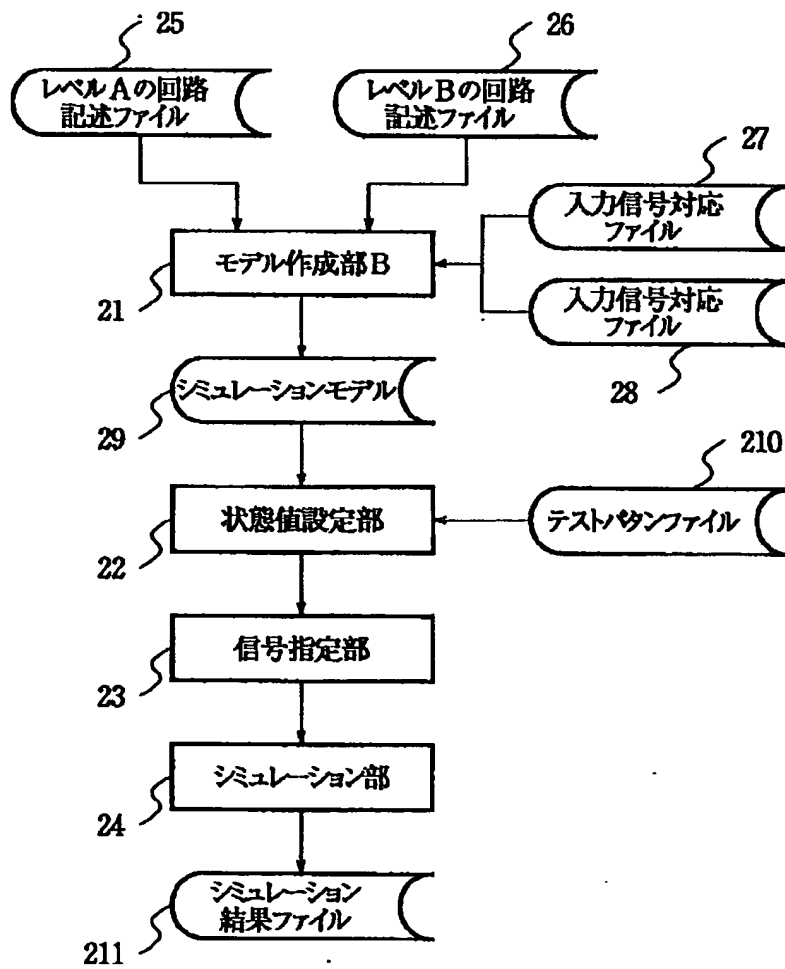
【図2】



【図4】



【図9】



【図10】

